

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305282

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

H01L 25/065

H01L 21/60

H01L 25/07

H01L 25/18

(21)Application number : 2001-109118

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 06.04.2001

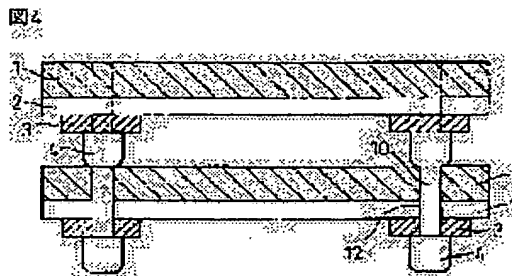
(72)Inventor : MURAYAMA HIROSHI  
AZUMA MITSUTOSHI

## (54) SEMICONDUCTOR ELEMENT AND STRUCTURE FOR CONNECTING THE SAME, AND SEMICONDUCTOR DEVICE WITH STACKED SEMICONDUCTOR ELEMENTS

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a structure for connecting semiconductor elements to be stacked which can realize its high speed in addition to its large capacitance, its miniaturization, its thin shape and the like, and to provide a semiconductor device in which the semiconductor element is stacked.

SOLUTION: In the semiconductor element, provided with conductive bumps, via holes which pass through the semiconductor element so as to reach the rears of the conductive bumps, are formed. Conductive films (Au or Cu films), which are continued to the conductive bumps, are formed on the inner wall surfaces of the via holes, including layers (SiO<sub>2</sub> layer). conductive bumps of a semiconductor element on one side come into contact with via holes in a semiconductor element on the other side, and the semiconductor elements are connected.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-305282

(P2002-305282A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

|                           |       |               |                   |
|---------------------------|-------|---------------|-------------------|
| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テ-マ-ト* (参考)       |
| H 0 1 L 25/065            |       | H 0 1 L 21/60 | 3 1 1 S 5 F 0 4 4 |
| 21/60                     |       | 25/08         | Z                 |
|                           | 3 1 1 | 21/92         | 6 0 2 Z           |
| 25/07                     |       |               |                   |
| 25/18                     |       |               |                   |

審査請求 未請求 請求項の数12 O L (全 5 頁)

(21) 出願番号 特願2001-109118(P2001-109118)

(22) 出願日 平成13年4月6日 (2001. 4. 6)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 村山 啓

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 東 光敏

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外2名)

最終頁に続く

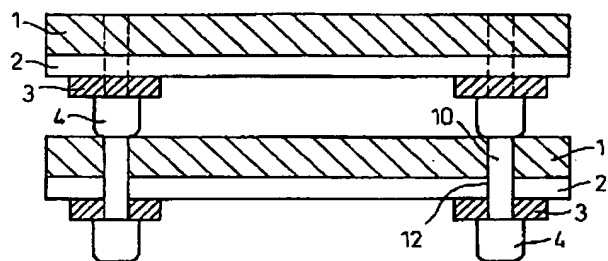
(54) 【発明の名称】 半導体素子とその接続構造及び半導体素子を積層した半導体装置

(57) 【要約】

【課題】 大容量化、小型化、薄型化の他、高速化をも実現し得る積層用半導体素子の接続構造、及び、該半導体素子を積層した半導体装置を提供する。

【解決手段】 導電性パンプを備える半導体素子において、半導体素子を貫通して導電性パンプの背面に達するビアホールが形成されている。そして、ビアホールの内壁面には、導電性パンプと連続する導電性被膜 (Au又はCu被膜) が、絶縁層 (SiO<sub>2</sub>層) を介して形成されていて、一方の半導体素子の導電性パンプが、他方の半導体素子のビアホールに当接して半導体素子が接続されている。

図4



## 【特許請求の範囲】

【請求項 1】 導電性パンプを備える半導体素子において、

半導体素子を貫通して導電性パンプの背面に達するビアホールが形成されていることを特徴とする半導体素子。

【請求項 2】 前記ビアホールの内壁面に、導電性パンプと接続する導電性被膜が、絶縁層を介して形成されていることを特徴とする請求項 1 記載の半導体素子。

【請求項 3】 前記導電性被膜が、Au 又は Cu からなることを特徴とする請求項 2 記載の半導体素子。

【請求項 4】 前記絶縁層が、SiO<sub>2</sub> からなることを特徴とする請求項 2 又は 3 記載の半導体素子。

【請求項 5】 導電性パンプを備えた一方の半導体素子と、導電性パンプを備え、半導体素子を貫通して導電性パンプの背面に達するビアホールが形成されている他方の半導体素子とを接続する接続構造において、一方の半導体素子の導電性パンプが、他方の半導体素子のビアホールに当接して接続されていることを特徴とする半導体素子の接続構造。

【請求項 6】 前記ビアホールの内壁面に、導電性パンプと接続する導電性被膜が、絶縁層を介して形成されていることを特徴とする請求項 5 記載の半導体素子の接続構造。

【請求項 7】 前記導電性被膜が、Au 又は Cu からなることを特徴とする請求項 6 記載の半導体素子の接続構造。

【請求項 8】 前記絶縁層が、SiO<sub>2</sub> からなることを特徴とする請求項 6 又は 7 記載の半導体素子の接続構造。

【請求項 9】 導電性パンプを備えた一方の半導体素子と、導電性パンプを備え、半導体素子を貫通して導電性パンプの背面に達するビアホールが形成されている他方の半導体素子とを積層した半導体装置において、一方の半導体素子の導電性パンプが、他方の半導体素子のビアホールに当接して、複数の半導体素子が積層されていることを特徴とする半導体装置。

【請求項 10】 前記ビアホールの内壁面に、導電性パンプと接続する導電性被膜が、絶縁層を介して形成されていることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】 前記導電性被膜が、Au 又は Cu からなることを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 前記絶縁層が、SiO<sub>2</sub> からなることを特徴とする請求項 10 又は 11 記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子の構造、接続構造、及び、該半導体素子を積層した半導体装置に関するものである。

## 【0002】

【従来の技術】従来、半導体素子（LSI 等の半導体チ

ップ）を搭載したパッケージとして、各種のものが知られているが、現在は、多ピン化、接続端子ピッチの縮小、装置全体の薄型化・小型化に適応し得る点、また、経済性と量産性の点から、TCP（テープ・キャリア・パッケージ）が普及している。

【0003】通常、この TCP に代表される半導体素子を積層して、半導体装置の大容量化を図るが、同時に、半導体装置に対する小型化・薄型化の要請にも応える必要があり、半導体素子を、同じ高さでも数多く積層できる接続構造が求められている。ここで、図 1 に、従来の積層型半導体装置における半導体素子の接続構造の一例を示す。半導体素子 1 は、その回路面 2 に A1 パッド 3 を備え、該 A1 パッド 3 には、他の半導体素子 1' との電気的接続を確保するための Au パンプ 4 が形成されている。この半導体素子は、樹脂（例えばエポキシ系樹脂）で形成したアンダーフィル層 5 を介して、配線層 6、絶縁層 7 及びはんだパンプ 8 からなるインターポーザー 9 に一体化され、積層用半導体装置を構成している。この積層用半導体装置は、半導体素子 1 の Au パンプ 4 がインターポーザーの配線層 6 に接続する構造となっているので、はんだパンプ 8 が、他の積層用半導体装置との接続端子となる。

【0004】この積層用半導体装置を積層すると、図 1 に示すように、積層用半導体装置のインターポーザー下部空間に、他方の積層用半導体装置の半導体素子 1' を収容するとともに、はんだパンプ 8 が、他方の積層用半導体装置の配線層に接触する構造となる。即ち、従来は、半導体素子をインターポーザーに実装して、一つのパッケージにして、このパッケージを積層して、半導体素子間の電気的な接続を確保しつつ、大容量の積層型半導体装置を作製していた。

【0005】しかし、上記パッケージの積層では、半導体装置を大容量化することが可能であっても、（1）平面的に小さくして小型化を図る、また、（2）より多く積層しても、小型化、薄型化を図る化を図る等の要請に応えることは困難である。また、半導体素子の積層にインターポーザーを使うと、高速対応が難しくなり、半導体装置の用途が限られてしまう。

【0006】したがって、近年、積層型半導体装置においては、大容量化、小型化、薄型化の他、高速化をも実現し得る半導体素子の積層構造及び／又は接続構造が求められている。

## 【0007】

【発明が解決しようとする課題】本発明は、上記要請を踏まえ、大容量化、小型化、薄型化の他、高速化をも実現し得る積層用半導体素子の積層構造及び／又は接続構造、さらに、該半導体素子を積層した半導体装置を提供することを課題（目的）とする。

## 【0008】

【課題を解決するための手段】本発明者は、上記課題を

解決する手段を検討するに当たり、先ず、図1に示す従来の接続構造を検討した。その結果、従来の接続構造において、インターポーザーを省略できれば、従来と同じ高さで多くの半導体素子を積層できるし、また、従来と同じ容量で半導体装置を薄型化でき、かつ、インターポーザーがない分高速化にも対応できるとの発想に至り、該発想のもとで、インターポーザーに替わり、積層した半導体素子を、多層間にわたり、電気的に接続することができる接続構造について、鋭意検討した。

【0009】本発明は、上記発想のもとにおける検討の結果なされたもので、その要旨は、以下のとおりである。

(1) 導電性バンプを備える半導体素子において、半導体素子を貫通して導電性バンプの背面に達するビアホールが形成されていることを特徴とする半導体素子。

【0010】(2) 前記ビアホールの内壁面に、導電性バンプと接続する導電性被膜が、絶縁層を介して形成されていることを特徴とする前記(1)記載の半導体素子。

(3) 前記導電性被膜が、Au又はCuからなることを特徴とする前記(2)記載の半導体素子。

(4) 前記絶縁層が、SiO<sub>2</sub>からなることを特徴とする前記(2)又は(3)記載の半導体素子。

【0011】(5) 導電性バンプを備えた一方の半導体素子と、導電性バンプを備え、半導体素子を貫通して導電性バンプの背面に達するビアホールが形成されている他方の半導体素子とを接続する接続構造において、一方の半導体素子の導電性バンプが、他方の半導体素子のビアホールに当接して接続されていることを特徴とする半導体素子の接続構造。

【0012】(6) 前記ビアホールの内壁面に、導電性バンプと接続する導電性被膜が、絶縁層を介して形成されていることを特徴とする前記(5)記載の半導体素子の接続構造。(7) 前記導電性被膜が、Au又はCuからなることを特徴とする前記(6)記載の半導体素子の接続構造。

【0013】(8) 前記絶縁層が、SiO<sub>2</sub>の層からなることを特徴とする前記(6)又は(7)記載の半導体素子の接続構造。

(9) 導電性バンプを備えた一方の半導体素子と、導電性バンプを備え、半導体素子を貫通して導電性バンプの背面に達するビアホールが形成されている他方の半導体素子とを積層した半導体装置において、一方の半導体素子の導電性バンプが、他方の半導体素子のビアホールに当接して、複数の半導体素子が積層されていることを特徴とする半導体装置。

【0014】(10) 前記ビアホールの内壁面に、導電性バンプと接続する導電性被膜が、絶縁層を介して形成されていることを特徴とする前記(9)記載の半導体装置。

(11) 前記導電性被膜が、Au又はCuからなることを特徴とする前記(10)記載の半導体装置。

【0015】(12) 前記絶縁層が、SiO<sub>2</sub>からなることを特徴とする前記(10)又は(11)記載の半導体装置。

【0016】

【発明の実施の形態】本発明を図面に基づいて説明する。図2に、本発明の半導体素子の一態様を示す。図2に示す半導体素子1においては、回路面2をも貫通し、A1パッド3に形成したAuバンプ(導電性バンプ)4の背面に達するビアホール10が形成されている。これが、本発明の第1の特徴である。そして、このビアホール10の内面には、図3に示すように、導電性被膜12が、絶縁層11を介して形成されている。

【0017】導電性被膜12としては、例えば、Au又はCuの被膜が好ましいが、他の導電性金属、合金の被膜でもよい。絶縁層11としては、SiO<sub>2</sub>の絶縁層が、絶縁層や導電性被膜の形成、及び、導電性被膜やウエハーとの密着性の点で好ましいが、これらの点を満たすものであれば、他の絶縁層でもよい。この導電性被膜12は、導電性バンプと連続しているため、半導体素子を他の半導体素子に電気的に接続する際、接続端子として機能する。

【0018】半導体素子を積層した一態様を図4に示す。図4に示すように、一方の半導体素子(図中、上の半導体素子)の導電性バンプ4が、他方の半導体素子(図中、下の半導体素子)のビアホール10に当接し、導電性被膜12に接触するので、上下の半導体素子の導電性バンプ4が導電性被膜12を介して連結されて、上下の半導体素子が、電気的に、直接、接続されることになる。

【0019】このように、本発明によれば、インターポーザーを用いずに、半導体素子を、電気的な接続を確保しつつ積層することができる。これが、本発明の第2の特徴である。次に、半導体素子を作製し、該半導体素子に、ビアホールを形成し、最後に、導電性被膜を形成する方法について、図5及び図6に基づいて説明する。

【0020】ウエハー13(例えば、厚さ650μm程度)の表面に形成した回路面2の上に、通常の方法でA1パッド3を形成し(図5(a)、参照)、次いで、A1パッド3の上に、めっき又はバンプボンダーを用いてAuバンプ4(高さ35μm程度の導電性バンプ)を形成する(図5(b)、参照)。その後、ウエハー13の背面を研磨して、所要の厚さにし(例えば、厚さ650μm程度を50μm程度にする)、半導体素子を完成する。

【0021】次に、Auバンプ4を下にした状態で、半導体素子1の上から、Auバンプ4の位置に向けて、所要強度のレーザー(例：紫外線レーザー)を照射して、半導体素子を貫通してAuバンプ4の背面に達す

る、適宜の大きさのビアホール 10（例えば、直径 10  $\mu\text{m}$  以下）を形成する（図 6（a）、参照）。レーザーの照射時、Au パンプ 4 がストッパーの役割をするので、レーザーによる穴あけ工程を正確に制御することができる。

【0022】次いで、CVD やスパインコーターを用いて、ビアホール 10 の内面に、絶縁層 11 を形成する（図 6（b）、参照）。例えば、CVD でテトラエトキシシランを飛ばして、 $\text{SiO}_2$  の絶縁層を形成する。そして、その後、メッキ法やスパッタ法を用い、絶縁層 11 の表面に導電性被膜 12 を形成する。このようにして、薄型で、積層用の本発明の半導体素子を作製することができる。

【0023】図 7 に、はんだパンプ 8 を有する配線基板 14 の上に、本発明の半導体素子を積層して構成した半導体装置の一態様を示す。半導体素子は、本発明の接続構造に従って、電気的に接続されている。半導体素子と半導体素子の間の空隙には、樹脂を充填して一体構造としているので、半導体素子間の電気的接続を確実にしながら、半導体装置自体の強度、耐久性、耐熱性等を確保することができる。

【0024】

【発明の効果】本発明によれば、同寸法、構造の半導体素子を積層しつつ、半導体素子間を直接、電気的に接続することができるので、半導体素子の大容量化、小型化・薄型化を、同時に達成し、さらに、高速化にも対応することができる。また、本発明によれば、同寸法、構造の半導体素子を積層するので、半導体素子が熱膨張しても、それぞれ同程度ですみ、半導体素子間の電気的な接

続を、常に、安定して保持することができる。

【図面の簡単な説明】

【図 1】従来の積層型半導体装置における半導体素子の接続構造の一例を示す図である。

【図 2】本発明の半導体素子の一態様を示す図である。

【図 3】ビアホールの態様を示す図である。

【図 4】本発明の半導体素子を積層した一態様を示す図である。

【図 5】半導体素子を作製する工程を示す図である。

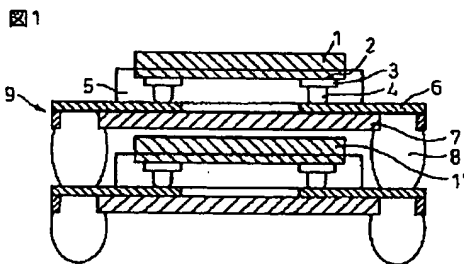
【図 6】半導体素子に、ビアホール、絶縁層、導電性被膜を形成する工程を示す図である。

【図 7】本発明の半導体素子を積層した半導体装置の一態様を示す図である。

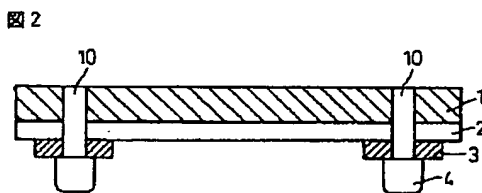
【符号の説明】

- 1、1' …半導体素子
- 2 …回路面
- 3 …Al パッド
- 4 …Au パンプ
- 5 …アンダーフィル層
- 6 …インターポーザーの配線層
- 7 …インターポーザーの絶縁層
- 8 …はんだパンプ
- 9 …インターポーザー
- 10 …ビアホール
- 11 …絶縁層
- 12 …導電性被膜
- 13 …ウエハー
- 14 …配線基板
- 15 …樹脂

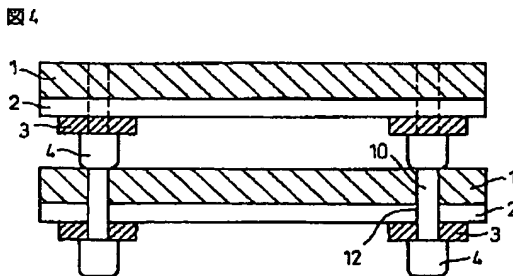
【図 1】



【図 2】



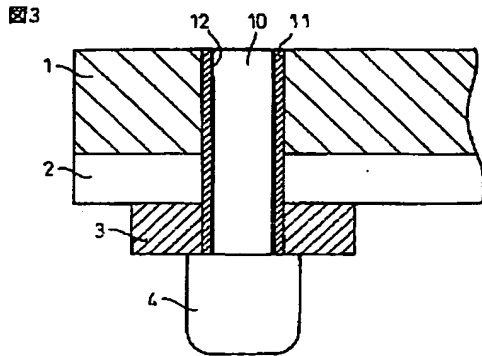
【図 4】



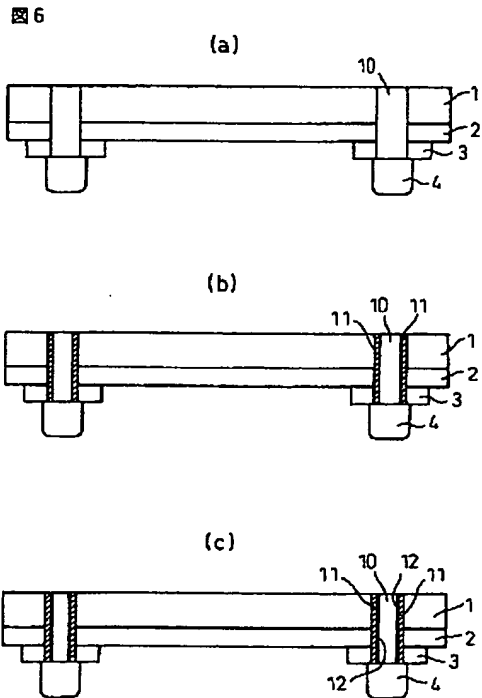
(5)

特開2002-305282

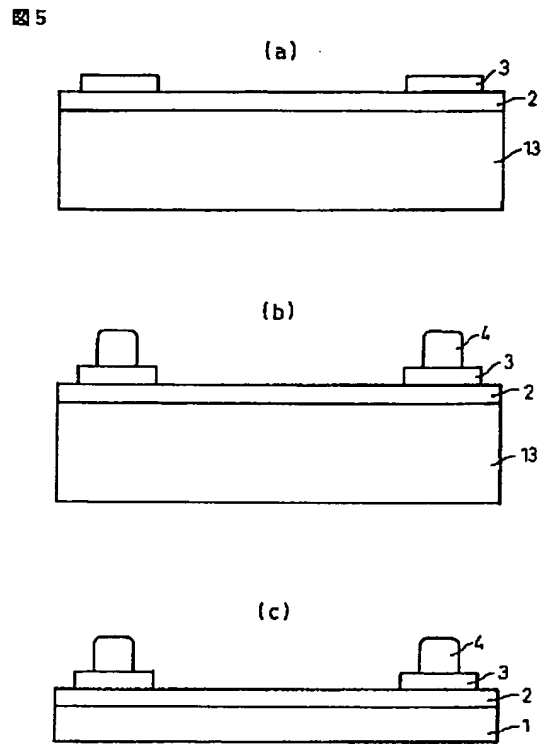
【図3】



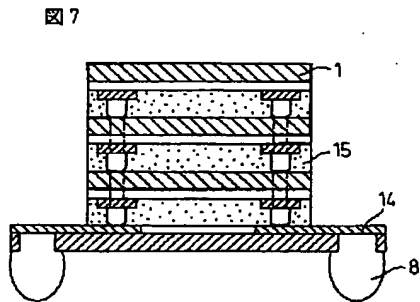
【図6】



【図5】



【図7】



フロントページの続き

Fターム(参考) 5F044 KK05 LL04 QQ04 QQ07 RR02